

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Problem Image Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001044437 A**(43) Date of publication of application: **16.02.01**

(51) Int. Cl.

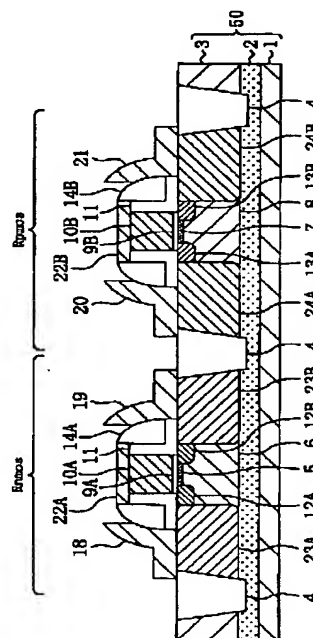
**H01L 29/786****H01L 29/78****H01L 21/336**(21) Application number: **11211677**(22) Date of filing: **27.07.99**(71) Applicant: **MATSUSHITA ELECTRONICS  
INDUSTRY CORP**(72) Inventor: **KOTANI NAOKI**(54) **MOS TRANSISTOR AND MANUFACTURE  
THEREOF**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To shallowly form a source region and a drain region of a MOS transistor, while suppressing leakage current.

**SOLUTION:** After a first gate electrode 10A is formed on an SOI substrate 50, an amorphous silicon film, grown over the entire surface, is patterned on the SOI substrate 50. An nMOS source electrode 18 and an nMOS drain electrode 19 are formed on side regions, respectively, of the first gate electrode 10A on the SOI substrate 50, and the electrode is implanted with arsenic ions. With the SOI substrate 50 thermally processed, the arsenic ions implanted in the nMOS source electrode 18 and nMOS drain electrode 19 are diffused in the SOI substrate 50, to form an n-type high-concentration source region 23A and n-type high-concentration drain region 23B.

COPYRIGHT: (C)2001,JPO



P-2115

(19)日本国特許庁 (J P) (12) 公開特許公報 (A)

(11)特許公開番号

特開2001-44437

(P2001-44437A)

(43)公開日 平成13年2月16日(2001.2.16)

(51)IntCl.	識別記号	FI	チコード(参考)
H01L 29/786		H01L 29/78	616S 5F040
29/78			301S 5F110
21/336			301P 616L

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21)出願番号	特開平11-211677	(71)出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22)出願日	平成11年7月27日(1999.7.27)	(72)発明者	粉谷 直樹 大阪府高槻市幸町1番1号 松下電子工業株式会社内
		(74)代理人	100077931 井理士 前田 弘 (外1名)

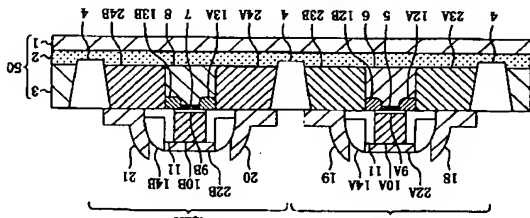
最終頁に続く

(54)【発明の名称】 MOSトランジスタ及びその製造方法

(57)【要約】

【課題】 リーク電流を抑制しつつ、MOSトランジスタのソース領域及びドレイン領域を深く形成できるようにする。

【解決手段】 SOI基板50の上に第1のゲート電極10Aを形成した後、SOI基板50の上に全面に亘って成長させたアモルファスシリコン膜をパターニングして、SOI基板50上における第1のゲート電極10Aの側方の領域にnMOS用ソース電極18及びnMOS用ドレイン電極19をそれぞれ形成し、その後、該電極に行なう、nMOS用ソース電極18及びnMOS用ドレイン電極19に注入された砒素イオンをSOI基板50に拡散させることにより、n型高濃度ソース領域23A及びn型高濃度ドレイン領域23Bを形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたゲート電極と、

前記半導体基板上における前記ゲート電極の側方の領域にそれぞれ形成されたソース電極及びドレイン電極と、前記半導体基板上における前記ソース電極の下側の領域及び前記ドレイン電極の下側の領域にそれぞれ形成されたソース領域及びドレイン領域とを備え、

前記ソース電極及びドレイン電極は、前記半導体基板上における少なくとも前記ゲート電極の側方の領域に成長させたアモルファスシリコン膜がパターニングされることにより形成され、

前記ソース領域及びドレイン領域は、前記ソース電極及びドレイン電極に注入された不純物が前記半導体基板上に拡散されることにより形成されていることを特徴とするMOSトランジスタ。

【請求項2】 前記ソース電極及びドレイン電極はシリサイド化されていることを特徴とする請求項1に記載のMOSトランジスタ。

【請求項3】 前記半導体基板はSOI基板であることとを特徴とする請求項1に記載のMOSトランジスタ。

【請求項4】 半導体基板上にゲート電極を形成する工程と、

前記半導体基板上における少なくとも前記ゲート電極の側方の領域にアモルファスシリコン膜を成長させる工程と、

前記アモルファスシリコン膜をパターニングして、前記半導体基板上における前記ゲート電極の側方の領域にソース電極及びドレイン電極をそれぞれ形成する工程と、前記ソース電極及びドレイン電極に不純物を注入する工程と、

前記半導体基板に対して熱処理を行なうことにより、前記ソース電極及びドレイン電極に注入された不純物を、前記半導体基板における前記ソース電極の下側の領域及び前記ドレイン電極の下側の領域に拡散させて、ソース領域及びドレイン領域をそれぞれ形成する工程とを備えていることを特徴とするMOSトランジスタの製造方法。

【請求項5】 前記ソース領域及びドレイン領域を形成する工程の後に、前記ソース電極及びドレイン電極の上に金属膜を堆積した後、該金属膜に対して熱処理を行なう、前記ソース電極及びドレイン電極をシリサイド化する工程をさらに備えていることを特徴とする請求項4に記載のMOSトランジスタの製造方法。

【請求項6】 前記ゲート電極を形成する工程と前記アモルファスシリコン膜を成長させる工程との間に、前記半導体基板の表面に形成されている酸化膜を除去する工程をさらに備え、

前記アモルファスシリコン膜を成長させる工程は、前記半導体基板を、400℃程度以下の温度に保持された熱

【發明の詳細な説明】

10001}

【発明の属する技術分野】本発明は、MOSトランジスタ及びその製造方法に関するものである。

[0002]

【従来の技術】近年、半導体装置分野において急速な微細化又は低消費電力化が進んでいるため、MOSトランジスタにおいては、縦方向の微細化つまりデザインルール縮小に伴って、縦方向の微細化つまり拡散層のシャロニ化（浅接合化）が重要になってきている。

【0003】従来のMOSトランジスタの製造方法、其本格的にはCMOSトランジスタの製造方法について図9及び図10を参照しながら説明する。

【0004】まず、図9に示すように、シリコン基板10004に、所定の領域にチャートレンチ分層102を形成して、nチャネルMOSトランジスタ形成領域（以下、nMOS形成領域と称す） $R_{nmos}$ 及びpチャネルMOSトランジスタ形成領域（以下、pMOS形成領域と称す） $R_{pmos}$ をそれぞれ規定した後、nMOS形成領域 $R_{nmos}$ に、p型ウエル層104を形成すると共にpMOS形成領域 $R_{pmos}$ に、n型ウエル層105及びn型ウエル層106を形成し、その後、nMOS形成領域 $R_{nmos}$ の上に第1のゲート電極107Aを介してポリシリコン膜からなる第1のゲート電極108Aを形成すると共に、pMOS形成領域 $R_{pmos}$ の上に第2のゲート電極107Bを介してポリシリコン膜からなる第2のゲート電極108Bを形成する。次に、第1のゲート電極108Aをマスクとして、n型低濃度ソース領域109A及びn型低濃度ドレイン領域109Bを形成すると共に、第2のゲート電極108Bをマスクとして、p型低濃度ソース領域109B及びp型低濃度ドレイン領域109Aを形成する。第1のゲート電極107A及び第2のゲート電極107Bに対してp型不純物を斜め方向にイオン注入して、p型低濃度ソース領域110A及びp型低濃度ドレイン領域110Bを形成した後、第1のゲート電極108Aの側面にTEOS膜からなる第1のサイドウォール111Aを形成すると共に、第2のゲート電極108Bの側面にTEOS膜からなる第2のサイドウォール111Bを形成する。

[0005] 次に、図10に示すように、第1のゲート電極108A及び第1のサイドウォール111Aをマスクとしてn型MOS形成領域 $R_{\text{mos1}}$ に対してn型不純物を注入してn型高濃度ソース領域112A及びn型高濃度ドレイン領域112Bを形成すると共に、第2のゲート電極108B及び第2のサイドウォール111BをマスクとしてpMOS形成領域 $R_{\text{mos2}}$ に対してp型不純物を注入してp型高濃度ソース領域113A及びp型高濃度ドレイン領域113Bを形成した後、第2のゲート電極108Aの上、第2のゲート電極108Bの上、n型高濃度ソース領域112Aの上、n型高濃度

【0010】さらに、持ち上げ型ソースドレイン構造を形成するため、半導体基板上におけるゲート電極の側面形成の際、ポリシリコン膜をエピタキシャル成長させる場合、表面酸化膜と半導体基板との間に形成される界面酸化膜を低減すると、ポリシリコン膜の異常成長が発生しやすくなる。一方、ポリシリコン膜と半導体基板との間に形成されている界面酸化膜をそのまま残存させると、ポリシリコン膜をシリサイド化したとき、ソース領域又はドレイン領域におけるポリシリコン膜と放電する領域を均一にシリサイドできなくなる。すなわち、ソース領域の表面部、又はドレイン領域の表面部にシリサイドされない領域が生じてしまう。

【0011】前記の問題に鑑み、本発明は、リーク電流を抑制しつつ、MOSトランジスタのソース領域及びドレイン領域を浅く形成できるようにすることを目的とする。

[0012]

【課題を解決するための手段】前記の目的を達成するため、半導体基板上に、本発明に係るMOSトランジスタは、半導体基板上に形成されたゲート電極と、半導体基板上におけるソース電極の間の側面がドレイン電極の下側に形成され、ソース電極及びドレイン電極と、半導体基板におけるソース電極の下側の側面がドレイン電極の下側の領域にそれぞれ形成され、ソース電極及びドレイン電極を備え、ソース電極とドレイン電極は、半導体基板上における少なくともゲート電極の側面が形成されたアモルファスシリコン層がパターニングされることによって形成され、ソース電極及びドレイン電極は、ソース電極及びドレイン電極に注入された不純物が半導体基板上に拡散されることによって形成されている。

【0013】本発明のMOSトランジスタによると、半導体基板上における少なくともゲート電極の側方の領域に形成されたアモルファスシリコン膜がパターンニングされて、ソース電極及びドレイン電極が形成されているため、アモルファスシリコン膜を成膜したとされているにもかかわらず、アモルファスシリコン膜とシリコン膜との間にファセットが形成されてアモルファスシリコン膜とゲート電極との間に溝が生じる事態、或いは素子分離上におけるアモルファスシリコン膜の裂開によりブリッジが発生する事態を防止できる。従って、ソース電極及びドレイン電極に注入された不純物を半導体基板に拡散させることでドレイン領域を狭く形成することができ、リーク電流を抑制しつつ、リーク電流を狭く形成することができる。

【0014】本発明のMOSトランジスタにおいて、ソース電極及びドレイン電極はシリサイド化されていることが好ましい。

【0015】このようにすると、ソース電極及びドレイン電極を低抵抗化することができる。

【0016】本発明のMOSトランジスタにおいて、半導体基板はSOI基板であることが好ましい。

【0017】このようにすると、MOSトランジスタの

寄生容量を低減することができる。

【0018】本発明に係るMOSトランジスタの製造方法は、半導体基板にゲート電極を形成する工程と、半導体基板におけるゲート電極の側方の領域にアモルファスシリコン膜を成長させる工程と、アモルファスシリコン膜をパターンニングして、半導体基板におけるゲート電極の側方の領域にソース電極及びドレイン電極をそれぞれ純物質とする工程と、半導体基板及びドレイン電極に純物質を注入する工程と、半導体基板に対して熱処理を行なうことにより、ソース電極及びドレイン電極に注入された不純物を、半導体基板におけるソース電極の下側の領域及びドレイン電極の下側の領域に拡散させて、ソース領域及びドレイン領域をそれぞれ形成する工程とを備えている。

【0019】本発明のMOSトランジスタの製造方法によつて、半導体表面上における少なくともゲート電極の側方の領域にアモルファスシリコン膜を成長させた後、該方アモルファスシリコン膜をパターン化してソース電極及びドレイン電極を形成するため、アモルファスシリコン膜とゲート電極との間に層が生じる事態、もしくはシリコン膜上にゲート電極が形成されてアモルファスシリコン膜の成長時にアセセットが層が生じる事態、あるいは分子分解してアモルファスシリコン膜の腐食を引き起こす事態を防止することができる。従つて、によりブリッジ故障を生ずる事態を防止できる。従つて、ソース電極及びドレイン電極に注入される不純物を半導体基板に拡散させることにより、リーク電流を抑制しつつソース領域及びドレイン領域を浅く形成することができ、

【0200】本発明のMOSトランジスタの製造方法に  
おいて、ソース領域及びドレイン領域を形成する工程の  
後に、ソース電極及びドレイン電極の上に金属膜を堆積  
した後、該金属膜に対して熱処理を行なって、ソース電  
極及びドレイン電極をシリサイド化する工程をさらに施  
していることが好ましい。

【0021】このようにすると、ソース電極及びドレイン電極をば抵抗化することができる。

【0022】本発明のMOSトランジスタの製造方法は、  
 おいて、ゲート電極を形成する工程とアモルファシリ  
 コン膜を成長させる工程との間に、半導体基板上の表面に  
 形成されている酸化膜を除去する工程をさらに備え、ア  
 モルファシリコン膜を成長させる工程は、半導体基板  
 を、400℃程度以下の温度に保持された熱処理炉中に  
 投入した後、アモルファシリコン膜を成長させる工程  
 を含むことが好ましい。

【0023】このようにすると、アモルファスシリコン膜の異常成長を防止しつつ、半導体基板とアモルファスシリコン膜との間に形成される界面酸化膜を低減させるため、ソース電極とソース領域との間のコンタクト抵抗低減、及びドレイン電極とドレイン領域との間のコンタクト抵抗低減を低減できると共に、ソース電極及びドレイン電極をシリサイド化する場合には、ソース領域におけるソース電極をシリサイド化する。

ス電極と接する領域、及びドレイン領域におけるドレイン電極と接する領域を均一にシリサイド化することができ、

【0024】本発明のMOSトランジスタの製造方法において、ゲート電極を形成する工程とアモルファスシリコン膜を成長させる工程との間に、半導体基板におけるゲート電極の側方の領域に低濃度ソース領域及び低濃度ドレイン領域をそれぞれ形成する工程と、ゲート電極の側面にサイドウォールを形成する工程とをさらに備え、アモルファスシリコン膜を成長させる工程は、アモルファスシリコン膜を500～550℃程度の温度で成長させる工程を含むことが好ましい。

【0025】このようにすると、低濃度ソース領域及び低濃度ドレイン領域に含まれる不純物が拡散する事態を防止できるので、ショートチャネル効果を抑制することができ、

【0026】本発明のMOSトランジスタの製造方法において、ゲート電極を形成する工程とアモルファスシリコン膜を成長させる工程との間に、ゲート電極の側面にサイドウォールを形成する工程をさらに備え、アモルファスシリコン膜を成長させる工程は、ゲート電極の上を含む半導体基板の上にアモルファスシリコン膜を成長させる工程を含み、ソース電極及びドレイン電極を形成する工程は、アモルファスシリコン膜を、該アモルファスシリコン膜がサイドウォールとオーバーラップするようにならる工程を含むことが好ましい。

【0027】このようにすると、アモルファスシリコン膜とゲート電極との間に溝が生じる事態を確実に防止でき、

【0028】本発明のMOSトランジスタの製造方法において、ゲート電極を形成する工程とアモルファスシリコン膜を成長させる工程との間に、ゲート電極の上を含む半導体基板の上に第1の絶縁膜を成長させる工程と、ゲート電極の側面に第1の絶縁膜を介して、第2の絶縁膜からなるサイドウォールを形成する工程と、第1の絶縁膜における半導体基板の上に露出する部分を除去して、ゲート電極上におけるサイドウォールに囲まれた領域に開口部を形成する工程とをさらに備え、アモルファスシリコン膜を成長させる工程は、ゲート電極の上をアモルファスシリコン膜を成長させる工程を含み、ソース電極及びドレイン電極を形成する工程は、アモルファスシリコン膜を、該アモルファスシリコン膜が開口部に残存するようにパターンニングして、ゲート電極の上にゲート上部電極を形成する工程を含むことが好ましい。

【0029】このようにすると、ソース電極及びドレイン電極の形成時にゲート上部電極を形成することができ、

【0030】ゲート上部電極を形成する場合、第1の絶縁膜はシリコン酸化膜であり、第2の絶縁膜はシリコン

窒化膜であることが好ましい。

【0031】このようにすると、シリコン窒化膜がシリコン酸化膜に対してエッチング選択性を有しているため、第1の絶縁膜を除去するとき、第2の絶縁膜からなるサイドウォールが損傷されず事態を防止できる。

【0032】本発明のMOSトランジスタの製造方法において、半導体基板はSOI基板であることが好ましい。

【0033】このようにすると、MOSトランジスタの寄生容量を低減することができ、

【0034】

【発明の実施形態】以下、本発明の実施形態に係るMOSトランジスタ及びその製造方法について、図1～図8を参照しながら説明する。

【0035】まず、図1に示すように、シリコン基板1と、シリコン基板1上に形成されたBOX酸化膜2と、SOI基板50の所定の領域にシャロートレンド分離4を形成して、nMOS形成領域R<sub>nmos</sub>及びpMOS形成領域R<sub>pmos</sub>をそれぞれ規定する。

【0036】次に、SOI基板50上にnMOS形成領域R<sub>nmos</sub>に開口部を有するレジストパターン（図示省略）を形成した後、該レジストパターンをマスクとして、nMOS用ソース電極18及びpMOS用ソース電極20を形成する。また、SOI基板50上にpMOS形成領域R<sub>pmos</sub>に開口部を有するレジストパターン（図示省略）を形成した後、該レジストパターンをマスクとして、pMOS形成領域R<sub>pmos</sub>に対してイオン注入を行なうことで、pMOS用ソース電極18及びnMOS用ソース電極20を形成する。

【0037】次に、SOI基板50の上に全面に亘って、例えば厚さ3nmのシリコン酸化膜、及びポリシリコン膜を順次成長させた後、該ポリシリコン膜上にゲート電極形成領域を覆うレジストパターン（図示省略）を形成し、その後、該レジストパターンをマスクとして前記のポリシリコン膜及びシリコン酸化膜に対して順次ドライエッチングを行なうことで、nMOS形成領域R<sub>nmos</sub>の上シリコン酸化膜からなる第1のゲート酸化膜9Aを介してポリシリコン膜からなる第1のゲート電極10Aを形成すると共に、pMOS形成領域R<sub>pmos</sub>の上シリコン酸化膜からなる第2のゲート酸化膜9Bを介してポリシリコン膜からなる第2のゲート電極10Bを形成する。

【0038】次に、図2に示すように、第1のゲート電極10Aの上及び第2のゲート電極10Bの上を含むSOI基板50の上に全面に亘って、例えば厚さ30nmのTEOS膜11を成長させた後、第1のゲート電極10AをマスクとしてnMOS形成領域R<sub>nmos</sub>に対してn型不純物を斜め方向にイオン注入してn型低濃度ソース

領域12A及びn型低濃度ドレイン領域12Bを形成すると共に、第2のゲート電極10BをマスクとしてpMOS形成領域R<sub>pmos</sub>に対してp型不純物を斜め方向にイオン注入してp型低濃度ソース領域13A及びp型低濃度ドレイン領域13Bを形成する。

【0039】次に、TEOS膜11の上に全面に亘って、例えば厚さ200nmのシリコン窒化膜を成長させた後、該シリコン窒化膜に対してドライエッチングによるエッチバックを行なう、図3に示すように、第1のゲート電極10Aの側面にTEOS膜11を介してシリコン窒化膜からなる第1のサイドウォール14Aを形成すると共に第2のゲート電極10Bの側面にTEOS膜11を介してシリコン窒化膜からなる第2のサイドウォール14Bを形成する。尚、シリコン窒化膜はTEOS膜11に対してエッチング選択性を有している。

【0040】次に、図4に示すように、第1のサイドウォール14A及び第2のサイドウォール14BをマスクとしてTEOS膜11に対してウエットエッチングを行なう、TEOS膜11におけるSOI基板50の上に出る部分を除去する。これにより、第1のゲート電極10A上における第1のサイドウォール14Aに囲まれている領域に第1の開口部15Aが形成されると共に、第2のゲート電極10B上における第2のサイドウォール14Bに囲まれている領域に第2の開口部15Bが形成される。

【0041】次に、SOI基板50の表面に形成されている酸化膜（自然酸化膜等、図示省略）をウエットエッチングにより完全に除去した後、SOI基板50を、400℃程度の下の温度に保持された熱処理炉内に投入し、その後、図5に示すように、第1のゲート電極10Aの上及び第2のゲート電極10Bの上を含むSOI基板50の上に全面に亘って、例えば厚さ40nmのアモルファスシリコン膜16を500～550℃程度の温度で、例えば530℃で成長させる。これにより、アモルファスシリコン膜16とSOI基板50との間に形成される界面酸化膜を低減できる。

【0042】次に、アモルファスシリコン膜16の上に全面に亘ってレジスト膜を形成した後、該レジスト膜をリソグラフィ法によりパターンニングして、図6に示すように、レジストパターン17を形成する。すなわち、nMOS形成領域R<sub>nmos</sub>上においては、レジストパターン17を、アモルファスシリコン膜16上における第1のゲート電極10Aの側方の領域に、第1のサイドウォール14Aとオーバーラップするように形成し、また、pMOS形成領域R<sub>pmos</sub>上においては、レジストパターン17を、アモルファスシリコン膜16上における第2のゲート電極10Bの側方の領域に、第2のサイドウォール14Bとオーバーラップするように形成する。

【0043】次に、レジストパターン17をマスクとしてアモルファスシリコン膜16に対してドライエッチング

を行なうことにより、図7に示すように、アモルファスシリコン膜16からなるnMOS用ソース電極18及びnMOS用ドレイン電極19をnMOS形成領域R<sub>nmos</sub>上に形成すると共にアモルファスシリコン膜16からなるpMOS用ソース電極20及びpMOS用ドレイン電極21をpMOS形成領域R<sub>pmos</sub>上に形成する。このとき、nMOS用ソース電極18及びnMOS用ドレイン電極19は、SOI基板50上における第1のゲート電極10Aの側方の領域に、第1のサイドウォール14Aとオーバーラップするようにそれぞれ形成されており、また、pMOS用ソース電極20及びpMOS用ドレイン電極21は、SOI基板50上における第2のゲート電極10Bの側方の領域に、第2のサイドウォール14Bとオーバーラップするように形成されている。また、アモルファスシリコン膜16を、該アモルファスシリコン膜16が第1の開口部15A及び第2の開口部15Bに残存するようにパターンニングすることにより、第1のゲート電極10Aの上に第1のゲート上部電極22、第2のゲート電極10Bの上に第2のゲート上部電極22Bが形成されている。

【0044】次に、SOI基板50上にnMOS用ソース電極18及びnMOS用ドレイン電極19に開口部を有するレジストパターン（図示省略）を形成した後、該レジストパターンをマスクとしてnMOS用ソース電極18及びnMOS用ドレイン電極19に対して、n型不純物、例えば砒素イオンを加速エネルギーが30KeV、ドーズ量が3.0×10<sup>15</sup>個/cm<sup>2</sup>の条件下でイオン注入する。

【0045】次に、SOI基板50上にpMOS用ソース電極20及びpMOS用ドレイン電極21に開口部を有するレジストパターン（図示省略）を形成した後、該レジストパターンをマスクとしてpMOS用ソース電極20及びpMOS用ドレイン電極21に対して、p型不純物、例えばBF<sub>2</sub>イオンを加速エネルギーが20KeV、ドーズ量が2.0×10<sup>15</sup>個/cm<sup>2</sup>の条件下でイオン注入する。

【0046】次に、SOI基板50に対して、例えば1000℃、10時間のRTA（急速加熱処理）を行なう。これにより、nMOS用ソース電極18に含まれる砒素イオンが、nMOS形成領域R<sub>nmos</sub>におけるnMOS用ソース電極18の下側の領域に拡散してn型高濃度ソース領域23Aが形成されると共に、nMOS用ドレイン電極19に含まれる砒素イオンが、nMOS形成領域R<sub>nmos</sub>におけるnMOS用ドレイン電極19の下側の領域に拡散してn型高濃度ドレイン領域23Bが形成される。また、pMOS用ソース電極20に含まれるBF<sub>2</sub>イオンが、pMOS形成領域R<sub>pmos</sub>におけるpMOS用ソース電極20の下側の領域に拡散してp型高濃度ソース領域24Aが形成されると共に、pMOS用ドレイン電極21に含まれるBF<sub>2</sub>イオンが、pMOS形成領域

成 $R_{\text{pass}}$ におけるpMOS用ドレイン電極21の下側の領域に拡散してp型高濃度ドレイン領域24Bが形成される。

【0047】次に、nMOS用ソース電極18、nMOS用ドレイン電極19、pMOS用ソース電極20及びpMOS用ドレイン電極21の上にコンパルト膜を堆積した後、該コンパルト膜に対して熱処理を行なうことにより、図8に示すように、各電極をシリサイド化してnMOS用ソースシリサイド電極25、nMOS用ドレインシリサイド電極26、pMOS用ソースシリサイド電極27及びpMOS用ドレインシリサイド電極28を形成する。また、前記のコンパルト膜を第1のゲート上部電極22A及び第2のゲート上部電極22Bの上にも堆積して熱処理を行なうことにより、各ゲート上部電極をシリサイドして第1のゲート上部シリサイド電極29A及び第2のゲート上部シリサイド電極29Bを形成する。

このとき、第1のゲート電極10Aにおける第1のゲート上部電極22Aと接する領域、第2のゲート電極10Bにおける第2のゲート上部電極22Bと接する領域、p型高濃度ソース領域23AにおけるnMOS用ソース電極18と接する領域、n型高濃度ドレイン領域23BにおけるnMOS用ドレイン電極19と接する領域、p型高濃度ソース領域24AにおけるpMOS用ソース電極20と接する領域、及びp型高濃度ドレイン領域24BにおけるpMOS用ドレイン電極21と接する領域もそれぞれシリサイド化されて各シリサイド電極の一部となる。

【0048】本実施形態によると、SOI基板50の上全面に亘ってアモルファスシリコン膜16を成長させた後、該アモルファスシリコン膜16をパターンニングして、nMOS用ソース電極18、nMOS用ドレイン電極19、pMOS用ソース電極20及びpMOS用ドレイン電極21を形成するため、アモルファスシリコン膜16の成長時にファセットが形成されてアモルファスシリコン膜10Bと第1のゲート電極10A又は第2のゲート電極10Bとの間に溝が生じる事態、或いはシャロートレンチ分離4上におけるアモルファスシリコン膜16の引ききによりブリッジが発生する事態を防止できる。従って、nMOS用ソース電極18及びnMOS用ドレイン電極19に注入されるn型不純物をnMOS形成領域 $R_{\text{pass}}$ に拡散させると共にpMOS用ソース電極20及びpMOS用ドレイン電極21に注入されるp型不純物をpMOS形成領域 $R_{\text{pass}}$ に拡散させることにより、リーク電流を抑制しつつn型高濃度ソース領域23A、n型高濃度ドレイン領域23B、p型高濃度ソース領域24A、及びp型高濃度ドレイン領域24Bを深く形成することができる。

【0049】また、本実施形態によると、nMOS用ソース電極18、nMOS用ドレイン電極19、pMOS用ソース電極20、及びpMOS用ドレイン電極21の

上にコンパルト膜を堆積した後、該コンパルト膜に対して熱処理を行なうことにより、各電極をシリサイド化してp型高濃度ドレイン領域24Aと接する領域、n型高濃度ソース領域23Aと接する領域、p型高濃度ドレイン領域24Bと接する領域、及びp型高濃度ドレイン領域24BにおけるpMOS用ドレイン電極21と接する領域を低抵抗化することができる。

【0050】また、本実施形態によると、SOI基板50の表面に形成されている酸化膜を除去した後、SOI基板50を、400℃程度以下の温度に保持された熱処理炉内に投入し、その後、SOI基板50の上にアモルファスシリコン膜16を成長させるため、アモルファスシリコン膜16の異常成長を防止しつつ、SOI基板50とアモルファスシリコン膜16との間に形成される界面酸化膜を低減できる。その後、nMOS用ソース電極18とn型高濃度ソース領域23Aとの間のコンタクト抵抗、nMOS用ドレイン電極19とn型高濃度ドレイン領域23Bとの間のコンタクト抵抗、pMOS用ソース電極20とp型高濃度ソース領域24Aとの間のコンタクト抵抗、及びpMOS用ドレイン電極21とp型高濃度ドレイン領域24Bとの間のコンタクト抵抗を低減できる。また、nMOS用ソース電極18、nMOS用ドレイン電極19、pMOS用ソース電極20及びpMOS用ドレイン電極21をシリサイド化する場合には、n型高濃度ソース領域23AにおけるnMOS用ソース電極18と接する領域、n型高濃度ドレイン領域23BにおけるnMOS用ドレイン電極19と接する領域、p型高濃度ソース領域24AにおけるpMOS用ソース電極20と接する領域、及びp型高濃度ドレイン領域24BにおけるpMOS用ドレイン電極21と接する領域をそれぞれ均一にシリサイド化することができる。

【0051】また、本実施形態によると、nMOS形成領域 $R_{\text{pass}}$ にn型低濃度ソース領域12A及びn型低濃度ドレイン領域12Bを形成すると共にpMOS形成領域 $R_{\text{pass}}$ にp型低濃度ソース領域13A及びp型低濃度ドレイン領域13Bを形成した後、第1のゲート電極10Aの側面に第1のサイドウォール14Aを形成すると共に第2のゲート電極10Bの側面に第2のサイドウォール14Bを形成し、その後、アモルファスシリコン膜16を500～550℃程度の温度で成長させるため、n型低濃度ソース領域12A、n型低濃度ドレイン領域12B、p型低濃度ソース領域13A、及びp型低濃度ドレイン領域13Bにそれぞれ含まれる不純物が拡散する事態を防止できる。従って、シャロートレンチ分離4を抑制することができる。

【0052】また、本実施形態によると、第1のゲート電極10Aの側面に第1のサイドウォール14Aを形成すると共に第2のゲート電極10Bの側面に第2のサイドウォール14Bを形成した後、第1のゲート電極10Aの上及び第2のゲート電極10Bの上を含むSOI基板50の上にアモルファスシリコン膜16を成長させ、その後、アモルファスシリコン膜16を、該アモルファスシリコン膜16が第1のサイドウォール14A及び第

2のサイドウォール14Bとオーバーラップするようにパターンニングするため、アモルファスシリコン膜16と第1のゲート電極10A又は第2のゲート電極10Bとの間に溝が生じる事態を確実に防止できる。

【0053】また、本実施形態によると、第1のゲート電極10Aの上及び第2のゲート電極10Bの上を含むSOI基板50の上にTEOS膜11を成長させた後、第1のゲート電極10Aの側面にTEOS膜11を介してシリコン酸化膜からなる第1のサイドウォール14Aを形成すると共に第2のゲート電極10Bの側面にTEOS膜11を介してシリコン酸化膜からなる第2のサイドウォール14Bを形成し、その後、TEOS膜11におけるSOI基板50の上に露出する部分を除去することにより、第1のゲート電極10A上における第1のサイドウォール14Aに開けられている領域に第1の開口部15Aを形成すると共に第2のゲート電極10B上における第2のサイドウォール14Bに開けられている領域に第2の開口部15Bを形成する。このとき、シリコン酸化膜がTEOS膜11に対してエッチング選択性を有しているため、TEOS膜11を除去するときに、第1のサイドウォール14A及び第2のサイドウォール14Bが除去される事態を防止できる。第1の開口部15A及び第2の開口部15Bを確実に形成できる。従って、第1のゲート電極10Aの上及び第2のゲート電極10Bの上を含むSOI基板50の上にアモルファスシリコン膜16を成長させた後、アモルファスシリコン膜16を、該アモルファスシリコン膜16が第1の開口部15A及び第2の開口部15Bに露出するようにパターンニングすることによって、nMOS用ソース電極18、nMOS用ドレイン電極19、pMOS用ソース電極20及びpMOS用ドレイン電極21を形成すると共に、第1のゲート電極10A上に第1のゲート上部電極22Aを形成できると共に第2のゲート電極10B上に第2のゲート上部電極22Bを形成できる。

【0054】また、本実施形態によると、半導体基板としてSOI基板50を用いているため、MOSTランジスタの寄生容量を低減することができる。

【0055】尚、本実施形態において、持ち上げ型ソースドレイン構造を有するCMOSTランジスタを形成したが、これに代えて、持ち上げ型ソースドレイン構造を有するnチャネルMOSトランジスタ又はpチャネルMOSトランジスタのみを形成した場合にも、或いは、持ち上げ型ソースドレイン構造を有するCMOSTランジスタと、バイポーラトランジスタとからなるBiCMOSTランジスタを形成した場合等にも同等の効果が得られる。

【0056】また、本実施形態において、半導体基板としてSOI基板を用いたが、これに代えて、シリコン基板等を用いた場合にも同等の効果が得られる。

【0057】また、本実施形態において、第1のゲート

電極10Aの側面及び第2のゲート電極10Bの側面にTEOS膜11を介してシリコン酸化膜からなるサイドウォールを形成したが、TEOS膜11に代えて、シリコン酸化膜に対してエッチング選択性を有する他のシリコン酸化膜を用いてもよい。

【0058】

【発明の効果】本発明によると、アモルファスシリコン膜の成長時にファセットが形成されてアモルファスシリコン膜とゲート電極との間に溝が生じる事態、或いはシャロートレンチ分離4上におけるアモルファスシリコン膜の引ききによりブリッジが発生する事態を防止できるので、該アモルファスシリコン膜からなるソース電極及びドレイン電極に注入される不純物を半導体基板に拡散させることにより、リーク電流を抑制しつつソース領域及びドレイン領域を深く形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図8】本発明の一実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図9】従来の半導体装置の製造方法の工程を示す断面図である。

【図10】従来の半導体装置の製造方法の工程を示す断面図である。

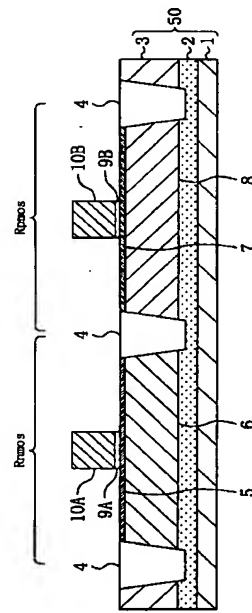
【符号の説明】

- 1 シリコン基板
- 2 BOX酸化膜
- 3 シリコン層
- 4 シャロートレンチ分離
- 5 nMOS用引ききい抑制層
- 6 p型ウェル層
- 7 pMOS用引ききい抑制層
- 8 n型ウェル層
- 9A 第1のゲート酸化膜
- 9B 第2のゲート酸化膜
- 10A 第1のゲート電極
- 10B 第2のゲート電極
- 11 TEOS膜

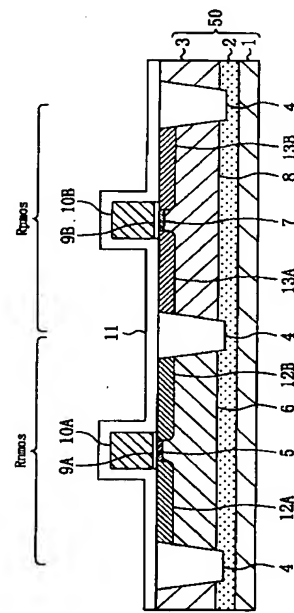
(6)

- |       |              |                    |                   |
|-------|--------------|--------------------|-------------------|
| 1 2 A | n 型低濃度ソース領域  | 2 2 B              | 第2のゲート上部電極        |
| 1 2 B | p 型低濃度ドレイン領域 | 2 3 A              | n 型高濃度ソース領域       |
| 1 3 A | p 型低濃度ソース領域  | 2 3 B              | p 型高濃度ドレイン領域      |
| 1 3 B | p 型低濃度ドレイン領域 | 2 4 A              | n 型高濃度ソース領域       |
| 1 4 A | 第1のサイドウォール   | 2 4 B              | p 型高濃度ドレイン領域      |
| 1 4 B | 第2のサイドウォール   | 2 5                | n MOS用ソースシリサイド電極  |
| 1 5 A | 第1の開口部       | 2 6                | n MOS用ドレインシリサイド電極 |
| 1 5 B | 第2の開口部       | 2 7                | p MOS用ソースシリサイド電極  |
| 1 6   | アモルファスシリコン膜  | 2 8                | p MOS用ドレインシリサイド電極 |
| 1 7   | レジストパターン     | 2 9 A              | 第1のゲート上部シリサイド電極   |
| 1 8   | n MOS用ソース電極  | 2 9 B              | 第2のゲート上部シリサイド電極   |
| 1 9   | n MOS用ドレイン電極 | 5 0                | SOI 基板            |
| 2 0   | p MOS用ソース電極  | R <sub>minis</sub> | n MOS形成領域         |
| 2 1   | p MOS用ドレイン電極 | R <sub>pnos</sub>  | p MOS形成領域         |
| 2 2 A | 第1のゲート上部電極   |                    |                   |

【圖一】

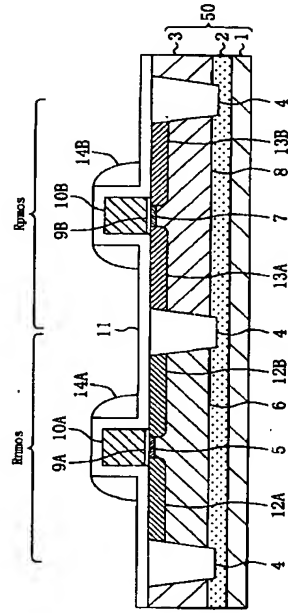


【图2】

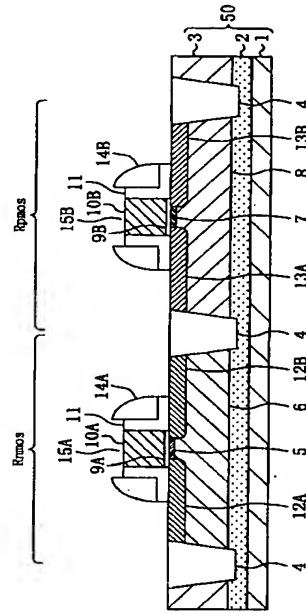


(01)

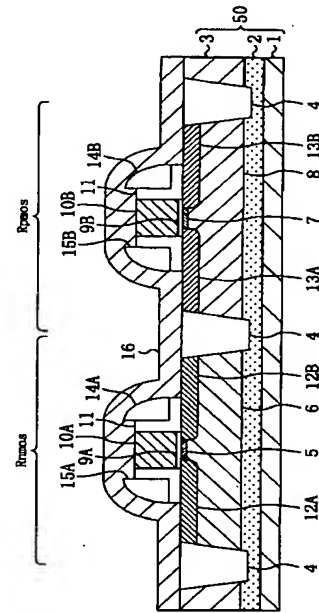
【註】



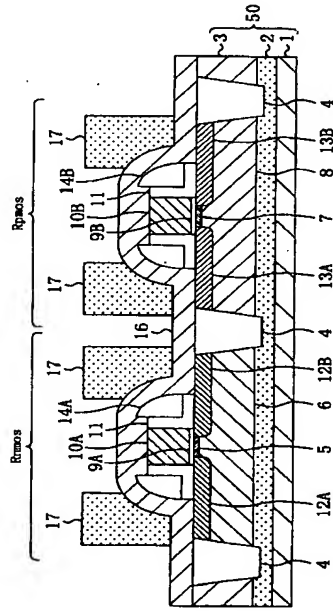
【☒】



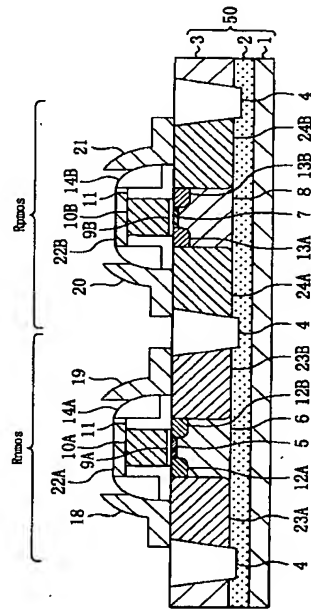
【图5】



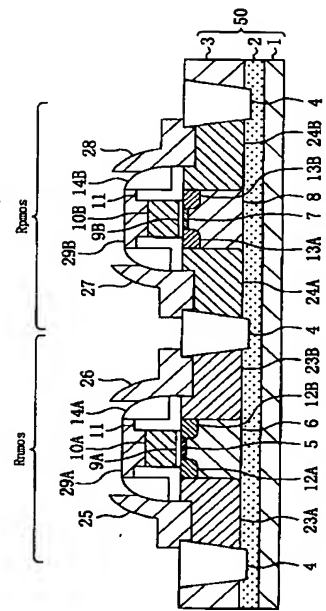
【図6】



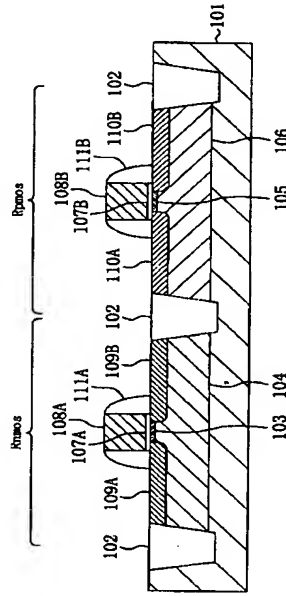
【図7】



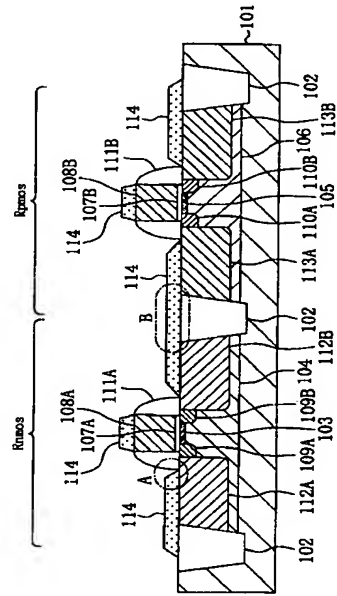
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5F040 DA06 DA10 DB03 EB12 EC07  
 EF02 EH02 EK05 FA05 FA07  
 FR02 FR07 FC13  
 5F110 AA02 AA03 AA06 AA08 AA17  
 BB04 CC02 DD05 DD13 EE09  
 EE32 FF02 GG02 GG13 GG32  
 HJ01 HJ14 HK05 HK08 HK25  
 HK27 HL05 HL08 HL26 HUI5  
 NN62 NN65 QQ05